

DIALOG(R)File 352:DERWENT WPI
(c)1998 Derwent Info Ltd. All rts. reserv.

002472318

WPI Acc No: 80-00618C/198001

Forming isolation regions sepg. semiconductor regions - by selectively implanting accelerated directional particles into the semiconductor layer to form insulating areas

Patent Assignee: CHO LSI GIJUTSU KENKYU KUMIAI (CHOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 54146982 A		19791116				198001	B

Priority Applications (No Type Date): JP 7854412 A 19780510

Abstract (Basic): JP 54146982 A

Method comprises (1) forming a semiconductor layer on an insulating substrate and (2) implanting accelerated directional particles selectively into the semiconductor layer to form an insulating layer sepg. the semiconductor regions with each other.

The implanted particles change the semiconductor layer into the insulating layer. The particles are nitrogen atoms or oxygen atoms.

The insulating layer is precisely formed because of the use of the directional particles.

In an example, a silicon single crystal layer was grown epitaxially on a sapphire substrate. Then a SiO₂ layer was formed on the Si layer by a chemical vapour deposition. The SiO₂ layer was then selectively removed. The remaining SiO₂ layer was used as a mask. Directional N ions were implanted into the exposed Si layer to change the exposed portion into a Si₃N₄ layer. Then the masks were removed.

Title Terms: FORMING; ISOLATE; REGION; SEPARATE; SEMICONDUCTOR;
REGION;
SELECT; IMPLANT; ACCELERATE; DIRECTION; PARTICLE; SEMICONDUCTOR;
LAYER;
FORM; INSULATE; AREA
Derwent Class: L03; U11; U12
International Patent Class (Additional): H01L-021/76
File Segment: CPI; EPI

⑨日本国特許庁(JP)
⑩公開特許公報(A)

⑪特許出願公開
昭54-146982

⑤Int. Cl.²
H 01 L 21/76
H 01 L 21/265

識別記号 ⑥日本分類
99(5) H 0
99(5) B 1

⑦内整理番号 ⑧公開 昭和54年(1979)11月16日
6513-5F
6684-5F
⑨発明の数 2
審査請求 未請求

(全3頁)

⑩半導体装置の製造法

⑪特 願 昭53-54412

⑫出 願 昭53(1978)5月10日

⑬發明者 岩松誠一

川崎市高津区宮崎4丁目1番1
号 超エル・エス・アイ技術研
究組合共同研究所内
小川満

同

川崎市高津区宮崎4丁目1番1
号 超エル・エス・アイ技術研
究組合共同研究所内

⑭出願人 超エル・エス・アイ技術研究組
合

川崎市高津区宮崎4丁目1番1
号

⑮代理人 弁理士 薄田利幸

明細書

発明の名称 半導体装置の製造法

特許請求の範囲

1. 半導体部材に方向性をもって加速された粒子を選択的に打込むことにより該部の半導体部材を絶縁物に変換し以て互いに誘電体分離された複数の半導体領域を形成することを特徴とする半導体装置の製造法。

2. サファイア基板上にエピタキシャル成長されたシリコン単結晶層の表面に所定パターンのマスクを形成し、該マスクで覆われていない上記シリコン単結晶層中に窒素又は酸素をイオン打込みすることによって該部のシリコンを完全に酸化硅素又は酸化硅素に変換し以て互いに誘電体分離された複数の半導体領域を上記マスク下に形成せしめることを特徴とする半導体装置の製造法。

発明の詳細な説明

本発明は半導体装置の製造法、特に半導体部材の誘電体分離法の改良に関する。

半導体部材の誘電体分離法に関しては、従来半

導体部材を選択的に酸化する技術がある。ここではこの従来技術における問題点をより明確にするためにSOS(Silicon On Sapphire)における誘電体分離技術を例に説明する。

第1図Aの如くサファイア基板1上に所定の厚さ(t_{si})のシリコン単結晶層2をエピタキシャル成長させた所謂SOSウェーハを用意し、このシリコン層2上に第1図Bに示す如く薄い酸化硅素膜3及び酸化硅素膜4を形成し、第1図Cに示す如くシリコン層の厚さ t_{si} より大なる巾Wを有する被膜5、6を残しそれ以外の酸化硅素Si₃N₄膜及びSiO₂膜をマスクにしてKOH溶液による異方性エッチングでシリコン層2を約分に渡じる。しかるのち、露出されたシリコン層2を熱酸化すると第1図Dに示すようにシリコン島2が形成され、SiO₂からなる誘電体5によるS-Iの分離が行なわれる。この場合、熱酸化の横方向への拡散による広がりによりW'やW-t_{si}なる値まで島状のシ

リコン層の巾は減することとなる。

今、第1図Bの工程から第1図E及びFに示す如く巾Wがシリコン層の厚さt₀₁より小なる島状シリコン層を形成しようとすると、熟成化の工程で熟成化時の横方向への擴散による広がりにより形成されるべき島状シリコン層の巾はW' = W - t₀₁ < 0となり結果として島状シリコン層は消滅してしまうこととなる。

SOSによる微小寸法の素子を作成しようとする場合、シリコン層を薄くすることは、電気的特性上から極力避ける必要があり、その場合、第1図E及びFからも理解されるように上記従来技術では微小寸法素子が製作できないという問題が生じる。

本発明は上記従来技術における欠点を解決すべくなされたものであり、微小寸法素子の誘電体分離を素子寸法の減少を最少限にして行なう方法を提供する事にある。

本発明の一実施例を第3図A乃至Fに基づいて説明する。

離された複数の島状シリコン層8, 8'が形成される。しかる後、島状Si層8中にP型及び又はN型不純物を導入して該Si島に半導体素子を形成する(図示せず)。

上記した本発明による誘電体分離法では極めて巾の狭いマスク9を用いてイオンを打込むことによって誘電体分離用の絶縁物を形成しているため誘電体分離領域の寸法が極めて限定された領域に制限することが出来、微細寸法素子の形成に有効である。

上記実施例では空化物による誘電体分離に限つたが、例えば第2図Dの工程において電子イオンの代りに酸素イオンをシリコン中に打込むことによって酸化硅素等の酸化物を形成して誘電体分離を行なってもよい。

本発明は半導体素子の形成に限定されず一般電子部品の製造に応用できる。例えば、第2図Fに示された細巾の半導体領域3は絶縁基板上に設けられた配線領域として活用することもできる。

今、SOSについて微小寸法素子を製作する場合を例にとると、第3図Aの如く、サファイア基板1上にシリコン単結晶層8をエピタキシャル成長せしめた所謂SOSウェーハ上に、第3図Bに示す如く気相沈着(Chemical Vapour Deposition)法により酸化硅素(SiO₂)膜9をSi層と同程度につけ、ホトレジによるパターン形成後スベッタエッチやイオンエッチ等による方向性のあるエッチングをこのCVD SiO₂膜9に施して第2図Dに示すように所望巾のSiO₂膜を残す。次いでこの残されたCVD SiO₂膜をマスクにして、露出されたシリコン層をその厚さが約1μ程度になるまでKOH溶液による異方性エッチングによりエッチング除去し、かかる後第2図Dに示すように空素イオン打込み法又はイオン電化処理法により方向性のある空素粒子を露出されたシリコン層8に打込むことによって第3図Eに示すようにシリコン層を空化硅素の如き絶縁物10に変換して誘電体分離をなし、次いで第3図Fに示すようにCVD SiO₂膜9を除去することにより誘電体分離をなす。

図面の簡単な説明

第1図A乃至Fは従来の誘電体分離法を説明するための各製造工程毎の素子要部断面図であり、第2図A乃至Fは本発明に係る誘電体分離法を説明するための各製造工程毎の素子要部断面図である。

- 1, 7 -- サファイア基板
- 2, 8 -- シリコン単結晶層
- 3, 9 -- 酸化硅素膜
- 4, 10 -- 空化硅素膜

代理人弁理士薄田利幸

第1図

第2図

